

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91627

(P2000-91627A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 33/00

H 0 1 L 33/00

B 3 K 0 0 7

G 0 9 F 9/33

G 0 9 F 9/33

K 5 C 0 9 4

// H 0 5 B 33/14

H 0 5 B 33/14

Z 5 F 0 4 1

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号

特願平10-258273

(22) 出願日

平成10年9月11日 (1998.9.11)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 吉田 岳人

神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内

(72) 発明者 山田 由佳

神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

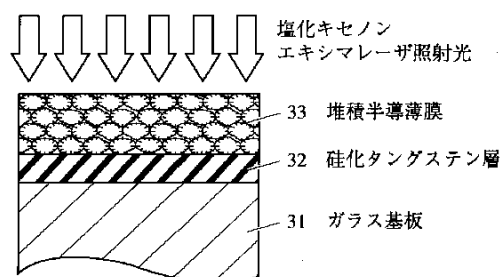
(54) 【発明の名称】 発光素子、表示素子とその製造方法

(57) 【要約】

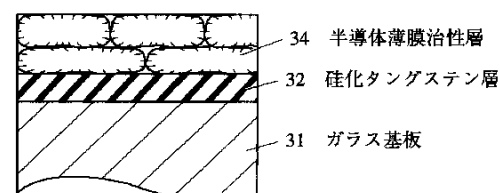
【課題】 基板上に単結晶成長を行うために、分子線エビタキシャル成長 (MBE) や有機金属化学的気相成長が用いられているが、MBE法は $10^{-11}$  Torrレベルの超高真空を必要とする上に成長速度が遅いため、作製プロセスのコストが高い。

【解決手段】 アルゴン (Ar) ガス圧を5 mTorrとし、平均粒径約10 nmの微結晶薄膜を300 nm堆積し、堆積半導体薄膜33とした。次に、この堆積直後は微結晶の堆積半導体薄膜33を、大粒径化するとともに、表面格子再配列を促進し表面特有の欠陥準位に基づく非輻射再結合中心を減少させるために、短時輻射アニールを行う。ガラス基板への熱負荷を軽減する目的で、堆積半導体薄膜33に優先的に吸収され、硅化タングステン層32には大部分反射される波長の塩化キセノン (XeCl) エキシマレーザを励起光として採用している。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 絶縁体または金属で構成される基板表面上に、活性層であってキャリアの走行方向には均質な半導体薄膜が直接接触した構造の発光素子。

【請求項2】 半導体薄膜の結晶性が、多結晶あるいは非晶質である請求項1記載の発光素子。

【請求項3】 発光素子を、画素として2次的に配列し、各々の画素の発光輝度を独立に制御することで画像を現すことを特徴とする請求項1または2記載の表示素子。

【請求項4】 請求項1または2記載の発光素子を製造する方法であって、半導体薄膜の堆積後に輻射加熱を施すことにより、半導体薄膜の再結晶化を行うことで非輻射再結合中心の数を減少させ、発光効率を増大させることを特徴とした発光素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、発光素子及び表示素子に関するものであり、特に薄膜半導体を活性層とした薄型パネル構造を有し、自発光性、高速応答性、細密画素性、高耐環境性及びアセンブリーレス作製法において優れた特徴を有する発光素子及び表示素子に関するものである。

## 【0002】

【従来の技術】第1の従来例としてIII-V族化合物半導体の単結晶層（エピタキシャル成長層）を活性領域として用いた、LED（Light Emitting Diode）について述べる。直接遷移型半導体であるガリウム砒素（GaAs）等のIII-V族化合物半導体あるいはIII-V族混晶半導体を用いてp-n接合を形成し、ダイオードとして順方向電圧を印加すれば、少数キャリアとしてp-型領域にドリフトした電子とp-型領域多数キャリアである正孔の輻射再結合が、p-n接合面近傍で効率的に起こるので発光が可能となる。

【0003】これが所謂注入型LEDの原理である。このLEDの発光波長は構成する化合物半導体の種類あるいは混晶比により決まる。

【0004】活性領域単結晶層は、単結晶基板上にエピタキシャル成長を行うことで形成する。このエピタキシャル成長は従来成長速度が速いとされる、液相エピタキシャル成長が用いられてきたが、最近ではガスソースMBEのように、有機金属ガスを原料としたMBE法を用いて、数原子層レベルの膜厚制御を行い高性能の超格子素子の作製も行われるようになってきた。

【0005】第2の従来例として、II-VI族半導体の粉末を誘電体中に分散させ、これを直流電流注入により励起する方式が、例えば、“プロセスディンクス オプティンステキチュート フォア エレクトリック アンド エレクトロニクス エンジニアズ”（A. Vecht, Proc. IEEE Vol. 61, 902 (1973)）に記載されている。この方

法では、硫化亜鉛（ZnS）にマンガン（Mn）を賦活することにより蛍光体としてから粉末化する。

【0006】次にこの粉末体の表面を銅（Cu）で被覆したものを誘電体中に分散させ、これを透明電極を介してガラス基板上に塗布する。上部には金属電極を接続する。さらに、高電界を印加するフォーミング処理により、誘電体下部の透明電極側にフォーミング蛍光体層が形成され、この素子は直流電流励起による可視発光が可能になる。

## 10 【0007】

【発明が解決しようとする課題】しかしながら、第1の従来例では基板上に単結晶成長を行うために、分子線エピタキシャル成長（MBE）や有機金属化学的気相成長（MOCVD）が用いられている。MBE法は $10^{-11}$  Torrレベルの超高真空を必要とする上に成長速度が遅いため、作製プロセスとしてのコストが高いといえる。

【0008】また、MOCVD法はハロゲン、ハイドライド、クロライド、などの有害な特殊高圧ガスをふんだんに使用するため、安全対策上のコストが多である。最も早く実用化した単結晶成長法は、液相エピタキシャル法であるが、この方法であると成長領域での原料原子・分子の数密度が大きすぎて十分な成長速度は得られないものの、精密な膜厚制御をすることができない欠点がある。

【0009】次に第2の従来技術では、活性粒子としてII-VI族半導体を用いられる。ところが、発光素子に用いられるII-VI族半導体には、Cd、Sr、S、Se、Teなどの稀少埋蔵量ないし有害な元素が含まれるといった本質的課題を有する。

30 【0010】本発明は上記の課題に鑑みなされたものであって、安全で低コストなプロセスで作製することが可能であって、かつ完成材料・素子としても必ずしも有害物質を含む必要のない、発光素子・表示素子とその製造方法等を提供することを目的とする。

## 【0011】

【課題を解決するための手段】上記課題を解決するために、本発明の発光素子・表示素子は、絶縁体または金属で構成される基板表面上に、活性層であってキャリアの走行方向には均質であり、結晶性が多結晶あるいは非晶質である半導体薄膜が直接接触された構成としている。

【0012】これにより、安全かつ低コストな作製プロセスを用いて、簡素な素子構造の発光素子・表示素子を構成することができる。

【0013】また、本発明の発光素子・表示素子の製造方法では、多結晶あるいは非晶質など最も容易な結晶性の半導体薄膜を堆積した後に、輻射加熱を施し前記半導体薄膜の結晶性を変化させる。

【0014】これにより、結晶粒径もしくは非輻射再結合中心の形態を調整し、発光特性を改善あるいは制御することができる。

【0015】

【発明の実施の形態】本発明の請求項1に記載の発明は、絶縁体または金属で構成される基板表面上に、活性層であってキャリアの走行方向には均質な半導体薄膜が直接接触した構造の発光素子であり、これにより、簡素な素子構造の発光素子を実現することが可能となる。

【0016】ここで、請求項2記載のように、半導体薄膜の結晶性が、多結晶あるいは非晶質であると、より安全かつ低コストなプロセスを用いて、請求項1記載の簡素な素子構造の発光素子を作製することができる。

【0017】また、請求項3に記載のように、請求項1から2記載の発光素子を、画素として2次元的に配列し、各々の画素の発光輝度を独立に制御するよう配置することで、画像を現す表示素子を構成することができる。

【0018】さらに、請求項4に記載のように、半導体薄膜の堆積後に輻射加熱を施すことにより、半導体薄膜の再結晶化を行い、結晶粒径を調整するとともに、非輻射再結合中心の数を減少させ、発光効率を増大させるといった改善、ないしは発光波長を調整するといった機能制御することも可能である。

【0019】（実施の形態1）次に、本発明の第1の実施例について説明をする。図1に、本実施例における発光素子の断面構造を示す。図1において、ガラス基板11の表面に、下部電極として膜厚100 nmの珪化タングステン層12が形成されている。この珪化タングステン層12の上層に、窒素（N）が高濃度（ $10^{18}$  cm<sup>-3</sup>台）にドーパされた多結晶状のガリウム燐（GaP）薄膜13が、膜厚300 nmで形成されている。

【0020】GaP薄膜13はNがドーピングされていることにより、所謂アイソエレクトロニックトラップを形成しており、束縛励起子の形成とその再結合による高効率の可視発光が可能となっている。そして、NドーパGaP薄膜13の上層には、上部透明電極として可視光透過率90%以上の酸化インジウム-錫（ITO）層14が、膜厚150 nmで被着されている。なお、このITOの組成は、約In<sub>2</sub>O<sub>3</sub> - (10 mol%) SnO<sub>2</sub>とした。

【0021】また、珪化タングステン層12は、下部電極としての低抵抗性を有しており、さらにGaP薄膜13において発生した光の前方への反射率を確保する反射層として機能する。

【0022】本実施例における発光素子の動作を説明する。下部反射電極の珪化タングステン層12に正、上部透明電極のITO層14には負の直流電圧を印加することで、ITO層14から電子がGaP薄膜13中に注入される。ITOは通常n型の導電性を有している。GaP薄膜13に注入された電子は、多結晶構造の粒界付近で散乱される過程で、衝突電離により電子-正孔対を生成する。これらの電子-正孔対は、あらかじめ形成されていたNドーパによるアイソエレクトロニックトラップ

に束縛されることで、束縛励起子となり再結合の過程で効率のよい可視発光を呈することができる。この際の発光波長は565 nm付近（光子エネルギー2.2eVに相当）であり、黄緑色に相当する。

【0023】なお、本実施例では下部電極材料として、珪化タングステンをを用いたが、さらに低抵抗性を優先する場合には、珪化チタンニウムあるいは珪化コバルトを用いることもできる。

【0024】（実施の形態2）次に、本発明の第2の実施例について説明をする。図2に、本実施例におけるモノクローム表示素子の1画素分の断面構造、その等価回路及び画素の配列回路を示す。図2（a）において、モノクローム表示素子の1画素分の素子21は、実施例1と同様な素子を基本として構成されている。ここで、上部透明電極として機能するITO薄膜は、可視光透過率90%以上のITO薄膜24を使用し、下部電極としては、前方への発光エネルギー反射促進のためと低抵抗率の実現のため、珪化タングステン薄膜22を用いた。

【0025】なお、等価回路としては、図2（b）で示すように、容量と抵抗が並列接続されたものと考えてよい。活性半導体薄膜としては、NドーパのGaP多結晶薄膜を用いている。この際の励起子発光エネルギーは、2.2 eVであり、黄緑色を呈した。

【0026】そして、図2（c）に示されるような、上記1画素を格子状に規則正しくマトリックス状に配列して構成されるモノクローム表示パネルを作製した。ここで、本実施例では、基本的駆動方式として、共通電極群分割と、時間分割で駆動するマルチブックス駆動方式を採用し、さらに、各画素には能動素子を接続させない、単純マトリックス駆動方式を採用した。

【0027】このような構成のX-Yマトリックス型表示パネルにおいて、走査（Y）電極の片側に付加された接地端子への導通ゲートを順次走査的にオンしてゆき、他方の信号（X）電極には、表示パターンに対応しかつ設定されたコントラストに対応する選択・非選択電圧を同時に印加して動作させた。本実施例における表示用画素は、非メモリー性なので、走査（Y）電極側の走査を繰り返す、累積応答効果により全画面が構成されることになる。

【0028】以上により、本実施例では、特に1インチ以下の小型の表示素子に最適な各画素のレスポンスが非常に速い（1μ秒オーダー）鮮やかな黄緑色で発光するモノクローム表示パネルを実現することができた。

【0029】なお、さらに画質の向上を必要とする場合は、各画素にドライバー用MOSTランジスタを付加したアクティブマトリックス駆動法が有効であることはもちろんである。

【0030】（実施の形態3）次に本発明の第3の実施例として、第1、第2の実施例において用いられている、半導体多結晶薄膜活性層の製造方法について、図3

を用いて説明する。先ずガラス基板31（廉価な低温ガラスの名称）に下部電極と反射膜の役割を兼ねる、硅化タングステン層32を150 nmの厚さで堆積する。

【0031】堆積方法は、到達真空度が $10^{-8}$  Torrで特殊高压ガスを使用せず、堆積速度の大きいDCマグネトロンスパッタ法を用いている。ガラス基板31には、可視透過率が高く耐熱性も高い石英、あるいは耐熱性は低くなるが比較的廉価なコーニング7059を用いる。

【0032】ターゲットとしては組成比WSi<sub>2.7</sub>の高純度焼結品、スパッタガスは高純度アルゴン（Ar）をガス圧8 mTorr導入、基板温度を200℃、とすると、化学量論組成WSi<sub>2.0</sub>に近く、残留応力の少ない良質な膜質を得ることができる。先ずはこの硅化タングステン層32の上層に堆積半導体薄膜33を形成する。堆積法は、ターゲットとして窒素（N）があらかじめドーパされた焼結多結晶ガリウム燐（GaP）を用いた、スパッタ堆積法を用いる。

【0033】さらに、スパッタ堆積プロセス中には、アルゴン（Ar）を主体としたスパッタガス中に窒素（N<sub>2</sub>）を混入させてドーパ量を調整する。多結晶半導体ターゲットは高抵抗率の場合が多いので、RFマグネトロンスパッタ法を用いる。堆積されるガリウム燐（GaP）薄膜の結晶性は、スパッタガスの種類と圧力すなわち媒質としてのスパッタガスの密度によって決まる。この密度が低いと非晶質になり、密度が上がると微結晶化し、さらに密度が上がると微結晶の粒径が大きくなる傾向を持つ。

【0034】本実施例では、アルゴン（Ar）ガス圧を5 mTorrとし、平均粒径約10 nmの微結晶薄膜を300 nm堆積し、堆積半導体薄膜33とした（図3(a)）。

【0035】次に、この堆積直後は微結晶体の堆積半導体薄膜33を、大粒径化するとともに、表面格子再配列を促進し表面特有の欠陥準位に基づく非輻射再結合中心を減少させるために、短時輻射アニールを行う。

【0036】本実施例では、ガラス基板への熱負荷を軽減する目的で、堆積半導体薄膜33に優先的に吸収され、硅化タングステン層32には大部分反射される波長の塩化キセノン（XeCl）エキシマレーザを励起光として採用している。

【0037】このレーザは、波長308 nm、パルス幅20 nsレベルのパルス動作をするので、この点からもガラス基板31や他の素子領域にかかる熱的負荷を調整／軽減するのに適している。

【0038】一般に、優先的再結晶化が起こる温度は、その材料の融点（絶対温度）の約0.6倍であるとされている。ガリウム燐（GaP）の融点は1456℃であるので、1000℃のアニール温度に到達すれば顕著な再結晶化に伴う、粒径増大や表面格子再配列の促進をみることができる。

【0039】本実施例では、ガリウム燐（GaP）微結

晶体の堆積半導体薄膜33が、1 μ秒未満のオーダーで950℃に到達するように、XeClエキシマレーザによるアニールを窒素ガス中で行うことで、目的を達成した。

【0040】この熱処理により、堆積半導体薄膜33は、粒径の増大と表面格子再配列による粒界近傍の非輻射再結合中心の除去がなされて、発光素子としての半導体薄膜活性層34に改質する（図3(b)）。

【0041】XeClエキシマレーザ光（波長308 nm、光子エネルギー4.03 eV）がGaPの堆積半導体薄膜33に照射された場合、その吸収係数を考えると、上層表面約100 nmで大半の光エネルギーが吸収されてしまう。本実施例において、GaPの堆積半導体薄膜33の厚さは300 nmであるので、この下層部までは熱伝導によって昇温する。GaPの熱拡散率を鑑みると、厚さ300 nmの堆積半導体薄膜33が一樣に950℃に到達するには、100 ns程度の時間で充分である。

【0042】下部電極の硅化タングステン層32の融点は2165℃であるので、例えば熱伝導の影響により950℃に到達しても、顕著な再結晶化を起こさず堆積当初の高反射率を保つことができる。

【0043】

【発明の効果】以上のように、本発明によれば、絶縁体または金属で構成される基板表面上に、活性層であってキャリアの走行方向には均質な半導体薄膜が直接接触した構造の発光素子とすることにより、簡素な素子構造の発光素子を実現することが可能となる。

【0044】ここで、半導体薄膜の結晶性が、多結晶あるいは非晶質であると、より安全かつ低コストなプロセスを用いて、発光素子を作製することができる。

【0045】また、前記簡素な素子構造の発光素子を、画素として2次元的に配列し、各々の画素の発光輝度を独立に制御するよう配置することで、画像を現す表示素子を構成することもできる。

【0046】さらに、製造方法として、半導体薄膜の堆積後に輻射加熱を施すことにより、半導体薄膜の再結晶化を行い、結晶粒径を調整するとともに、非輻射再結合中心の数を減少させ、発光効率を増大させるといった改善、ないしは発光波長を調整するといった機能制御することも可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例における発光素子の断面構造図

【図2】本発明の第2の実施例におけるモノクローム表示素子の構造図

【図3】本発明の第3の実施例における半導体薄膜活性層の製造方法を示す断面構造図

【符号の説明】

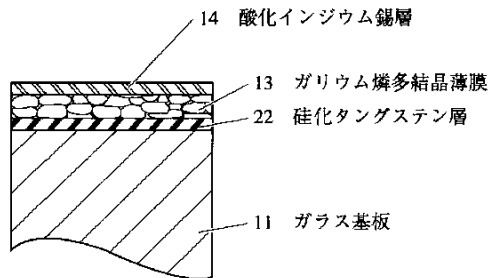
11 ガラス基板

12 硅化タングステン（WSi<sub>2</sub>）層

7

- 13 ガリウム燐 (GaP) 多結晶薄膜
- 14 酸化インジウム (ITO) 錫層
- 21 1画素の素子
- 22 硅化タンゲステン (WSi<sub>2</sub>) 層
- 23 ガリウム燐 (GaP) 多結晶薄膜

【図1】



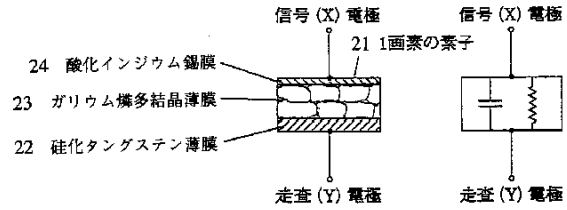
8

- 24 酸化インジウム (ITO) 錫層
- 31 ガラス基板
- 32 硅化タンゲステン (WSi<sub>2</sub>) 層
- 33 堆積半導体薄膜
- 34 半導体薄膜活性層

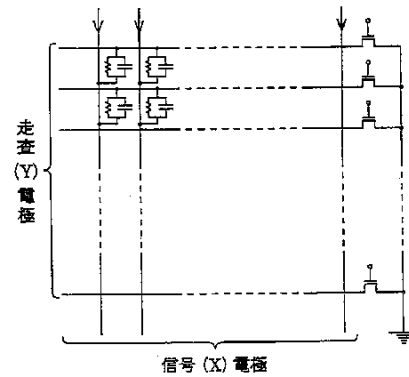
【図2】

(a)

(b)

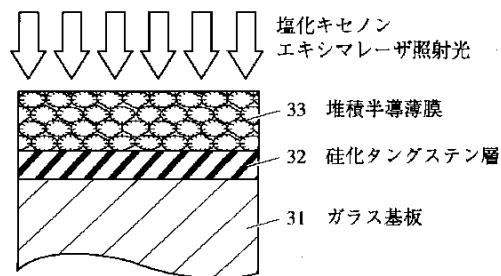


(c)

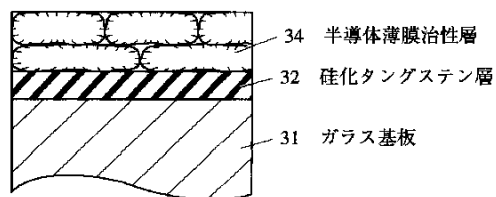


【図3】

(a)



(b)




---

 フロントページの続き

(72)発明者 鈴木 信晴  
神奈川県川崎市多摩区東三田3丁目10番1  
号 松下技研株式会社内

(72)発明者 牧野 俊晴  
神奈川県川崎市多摩区東三田3丁目10番1  
号 松下技研株式会社内

(72)発明者 池田 順治  
神奈川県川崎市多摩区東三田3丁目10番1  
号 松下技研株式会社内

Fターム(参考) 3K007 AB00 AB03 AB18 BA06 CA01  
CB01 DA02 DA05 FA01 FA03  
5C094 AA43 AA44 AA45 AA60 BA29  
CA19 EA05 EB02 FB02 FB15  
FB16  
5F041 CA08 CA24 CA25 CA37 CA55  
CA67 CA77 FF01